

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problems Mailbox.**

THIS PAGE BLANK (USPTO)

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 03-147598

(43)Date of publication of application : 24.06.1991

(51)Int.Cl.

G11C 19/00

(21)Application number : 01-284691

(71)Applicant : SONY CORP

(22)Date of filing : 02.11.1989

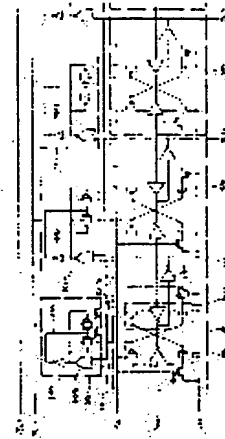
(72)Inventor : MAEKAWA TOSHIICHI

(54) SHIFT REGISTER

(57)Abstract:

PURPOSE: To reduce the power supplied to a clock line by supplying a clock only to a unit register of its stage only when data inputted to a shift register is such significant data that the state of each unit register is transited.

CONSTITUTION: Respective unit registers SR1 - SR3 are constituted so as to receive clock signals VCLK, signals, the inverse of VCLK from a clock line through a switch SW1 and SW2. Also, the switches SW1, SW2 are constituted so as to close at the time when data inputted to each unit register SR1 - SR3 becomes, for instance, H level. Accordingly, when single input signal data is inputted, a signal of H level is supplied to, for instance, only the unit register SR1 at a first timing. That is, when the transmitted data becomes a significant level, a clock is supplied selectively to only the unit register of its stage. In such a manner, the capacitive load of a clock line can be decreased, and the power consumption can be reduced.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

THIS PAGE BLANK (USPTO)

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑪ 公開特許公報(A) 平3-147598

⑫ Int.Cl.⁷ G 11 C 19/00
識別記号 庁内整理番号 K 7131-5B
⑬ 公開 平成3年(1991)6月24日

審査請求 未請求 請求項の数 5 (全10頁)

⑭ 発明の名称 シフトレジスタ

⑮ 特 願 平1-284691

⑯ 出 願 平1(1989)11月2日

⑰ 発 明 者 前 川 敏 一 東京都品川区北品川6丁目7番35号 ソニー株式会社内
⑱ 出 願 人 ソニー株式会社 東京都品川区北品川6丁目7番35号
⑲ 代 理 人 弁護士 脇 篤 夫

明 細 書

1. 発明の名称

シフトレジスタ

2. 特許請求の範囲

(1) 第1、および第2のクロックフイソバークと第3のフイソバークから構成され、2相のクロック信号によって駆動されるユニットレジスタ回路を総括接続したシフトレジスタにおいて、前記各段のユニットレジスタ回路の入力及び出力チークが有量であるか否かを検出し、チークが有量であることが検出された段のユニットレジスタ回路にのみ前記2相クロックを供給する1対のスイッチング手段が設けられていることを特徴とするシフトレジスタ

(2) ユニットレジスタ回路を構成している第1のクロックフイソバークに、アルファフイソバーク及びアルファソフ手段を設け、クロックフイソバークがフローチイソフ状態にならないようにしたことを特徴とする特許請求の範囲第(1)項に記載のシフトレジスタ。

3. 発明の詳細な説明
[産業上の利用分野]

従来のC-MOS (Complemental Metal Oxide Semiconductor) を用いたシフトレジスタを第9図に示す。

第9図において、 $Q_{n-1} \sim Q_n$ はP型の電界効果トランジスタ(以下、FETという)であり、 $Q_{n-1} \sim Q_n$ はN型のFETである。

シフトレジスタの各段 S_R 、 S_R 、... (S_R以下は省略する)は、FET Q_{n-1} 、 Q_n 及びFET Q_{n-1} 、 Q_n からなる第1のクロックインバートインバート、このクロックインバートIN_V、の出力をラッチする第2のクロックインバートIN_V、と、第3のクロックインバートIN_V、からなる、第2のクロックインバートIN_V、はFET Q_{n-1} 、 Q_n とFET Q_{n-1} 、 Q_n からなり、第3のインバートIN_V、はFET Q_{n-1} とFET Q_n からなっている。

次に、このシフトレジスタの動作を第10図を参照して説明する。

ユニタリレジスタ S_R に供給されている入力信号 $V_{(n-1)}$ が第10図に示すように立ち上がる

この発明は、特にC-MOSを用いたシフトレジスタ回路において、消費電力を低減したシフトレジスタに関するものである。

【発明の概要】

本発明のシフトレジスタは、第1のクロックインバートと、第2のクロックインバートおよび第3のインバートからなるユニタリレジスタを縦接続したものであって、各ユニタリレジスタにスイッチング手段を設け、各ユニタリレジスタの入力および出力ノードが有差のノードであるときは前記スイッチング手段によって当該ユニタリレジスタのみでクロック信号が供給されるようにしたものである。

そのためクロックインバートに供給されるクロック信号の消費電力を大幅に低減することが可能になり、低消費電力型のシフトレジスタとすることが出来る。

【従来の技術】

り、次のタイムシフトでクロック V_{CLK} が立ち上がり、相補クロック V_{CLK} が立ち下がる。第1のクロックインバートIN_Vの出力がレベルに立ち下がり、この出力は第3のインバートIN_Vに入力される。

従って、1段目ユニタリレジスタ S_R の出力 ϕ 、すなわち、第3のインバートIN_Vの出力は、入力信号 $V_{(n-1)}$ と同じレベルとなる。

第3のインバートIN_Vの出力は第2のクロックインバートIN_Vの出力にも加えられ、クロック V_{CLK} が反転すると、第2のクロックインバートIN_Vが動作して、第3のインバートIN_Vとで出力信号 ϕ をラッチする。

このとき、2段目のユニタリレジスタ S_R は1段目のユニタリレジスタ S_R の出力 ϕ を設け、その出力 ϕ がレベルになる。

再びクロック V_{CLK} が立ち上がると、既に立ち下っている入力信号 $V_{(n-1)}$ を読み込み、その出力 ϕ はレベルになる。

以下、同様の動作で3段目、4段目のユニタリレジスタ S_R 、 S_R 、...に入力信号 $V_{(n-1)}$ が転送され、出力 ϕ 、 ϕ 、...が得られる。

このようなシフトレジスタは、液晶ディスプレイのようなデジタルの信号をサンプリングするにきよく用いられる。

【発明が解決しようとする問題点】

ところで、このような従来のシフトレジスタでは、クロック V_{CLK} 、 V_{CLK} のラインに接続段のユニタリレジスタ S_R 、 S_R が負荷されるため、かなり大きな容量が負荷される。

各ユニタリレジスタ S_R の容量は第11図に示すように、クロック V_{CLK} のラインには、FET Q_{n-1} とFET Q_n のノード容量の和であるC ($Q_{n-1} + Q_n$) が付加される。

この容量Cは、例えばMOSトランジスタのノ

CK-R, に示す信号がエニツトシタSR, に供給され、エニツトシタSR, にクロックが供給され、エニツトシタSR, の出力OUT, をHレベルにする。

さらに、時点t₁で示すように、クロックが遷移してLレベルになると、前述のように第3のインバータINV, とで出力信号OUT, のHレベルがラフチされる。トラフツアフター-SW,、SW, は開いたままである。なお、時点t₂で出力OUT, がHレベルとなったときに2段目のエニツトシタSR, に、クロックスイチ回路SC, を介してクロックが供給され能動化される。

次のタイミツク時点t₃では、クロックVCLK, がHレベルになる前に、入力信号V_{input}, はLレベルとなっているので、この時点t₃でクロックVCLK, がHレベルになると、エニツトシタSR, はLレベルを渡り込んで、その出力OUT, をLレベルとする。

出力OUT, がLレベルになると、エニツトシ

すなわち、エニツトシタOUT, の出力がHレベルになると、エニツトシタSR, の入力もHレベルとなる。そしてこの時点でエニツトシタSR, のクロックVCLK,、VCLK, が供給されるように、クロックスイチ回路SC, のトラフツアフター-SW,、SW, がオシになる。

以下、エニツトシタSR, の動作と同じ動作が順次後続のエニツトシタで行われ、入力信号V_{input}, が順次シフトされる。

なお、エニツトシタSR, に付加されているFEETQ_{out}とFEETQ_{in}は、エニツトシタSR, にクロックVCLK,、VCLK, が供給されないときに、第1、第2のクロックフイソバータINV,、INV, がフローチンク状態となるのを防止するものであり、このフイソバータQ_{out}とフイソバータFEETQ_{in}によってクロックが供給されないときにも各エニツトシタ回路を安定な状態に保持する作用を持っている。

のシフトシタの動作を説明する。

時点t₀では入力信号V_{input}, がLレベルで、出力OUT, もLレベルであり、ノアフター-IN, の出力がHレベルとなり、インバータINV, の出力VOR, はLレベルとなるので、トラフツアフター-SW,、SW, は開ける。

従って、このようになるとはクロックVCLK, およびVCLK, はエニツトシタSR, に供給されない。

次に第2図のタイムチャートのように時点t₁で入力信号V_{input}, が立ち上がりHレベルになると、ノアフター-IN, の入力1つがHレベルになり、このノアフター-IN, の出力はLレベルとなる。この出力をインバータINV, で反転したHレベル出力VOR, とがトラフツアフター-SW,、SW, に加わるので、両アフター-SW,、SW, とも開く。

従って、このような状態でクロックVCLK, がHレベルに遷移すると、時点t₂でCK-L,、

シタSR, の入力、出力がLレベルとなるので、トラフツアフター-SW,、SW, がその直後に閉じ、クロックVCLK,、VCLK, がエニツトシタSR, に供給されなくなる。

トラフツアフター-SW,、SW, が開いている時点t₃は、インバータINV, の出力であるVOR, に示すように、エニツトシタSR, の出力OUT, が立ち下がるまでの動作遅れ時間と、クロックスイチ回路SC, の動作遅れ時間とが重なる時間である。

従って、トラフツアフター-SW,、SW, を通過したクロックVCLK,、VCLK, の波形状は、第2図CK-L,、CK-R, の如く、2つのクロックの前半の一部が通過した波形状となる。

また、2段目のエニツトシタSR, の出力は、クロックVCLK, が立ち上がった時点t₄で、出力OUT, を渡り込んで、その段の出力OUT, をHレベルとする。

め、正親又は貴族の地位に対して入シヨル。

4. 図面の簡単な説明

第1図は本発明の一実施例を示す回路図、

第2図は第1図のタイムチャート、

第3図は本発明の概略図、

第4図は他のアルファ及びベータ手段の回

路図、

第5図は本発明の他の実施例を示す回路図、

第6図は第5図のタイムチャート、

第7図は第6図の信号の部分的な拡大図、

第8図は本発明のさらに他の実施例を示す回路

図、

第9図は従来のシフトレジスタを示す回路図、

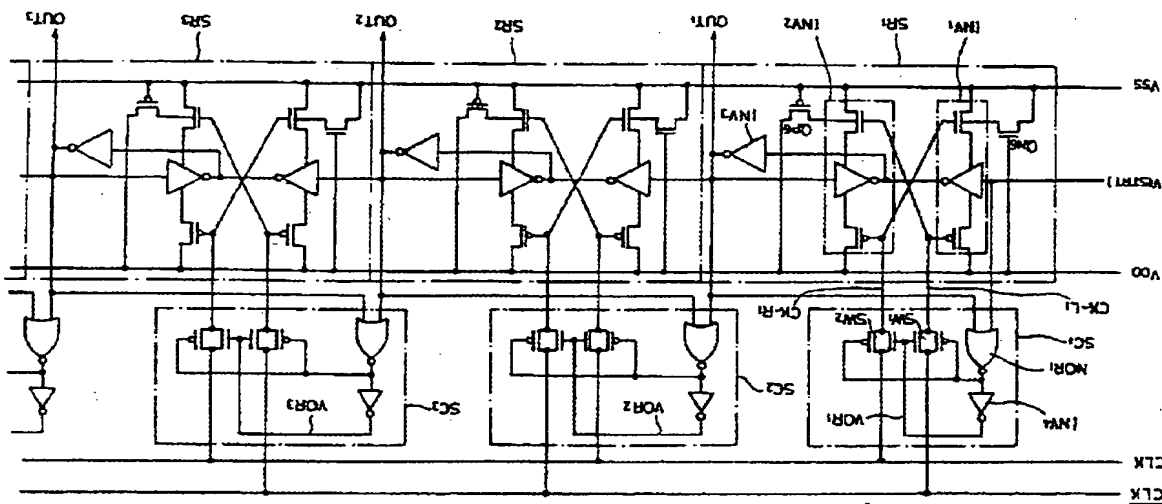
第10図は従来のタイムチャート、

第11図は従来のクロックインに付く負荷容

量の説明図である、

図中

INV、 \sim INV、はクロックインバート、
INV、はインバート、SC、 \sim SC、はクロク
クスイッチ回路、SW、SW、はトランスラ
ートからなるスイッチング手段、Q、 \sim Q、はP



第1図

圖 3

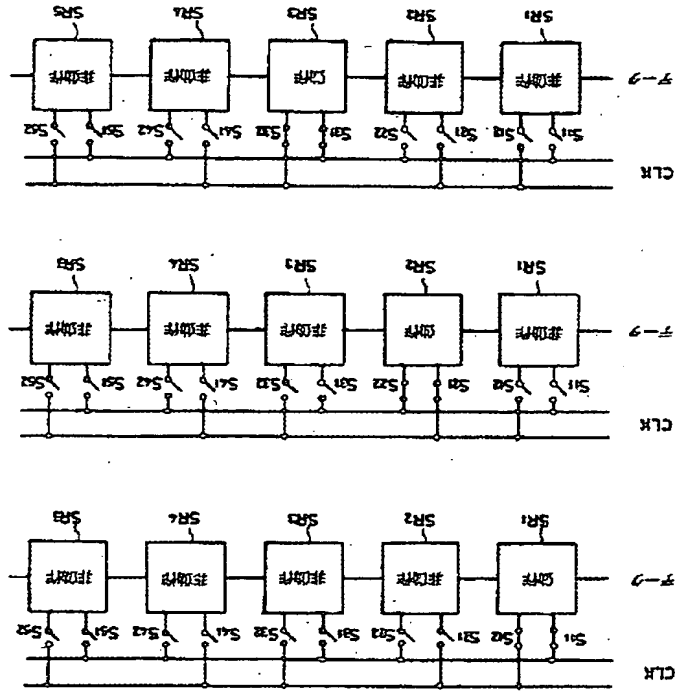


圖 2

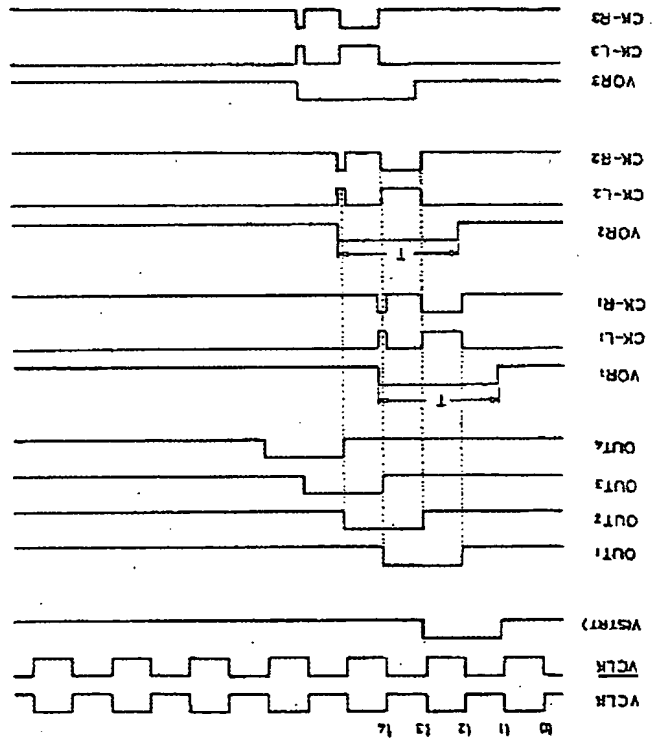


圖 4

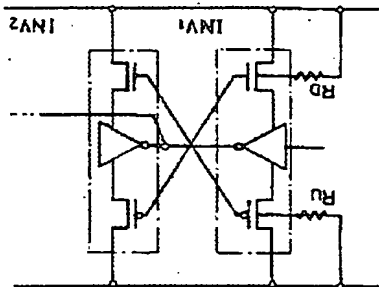


図 6

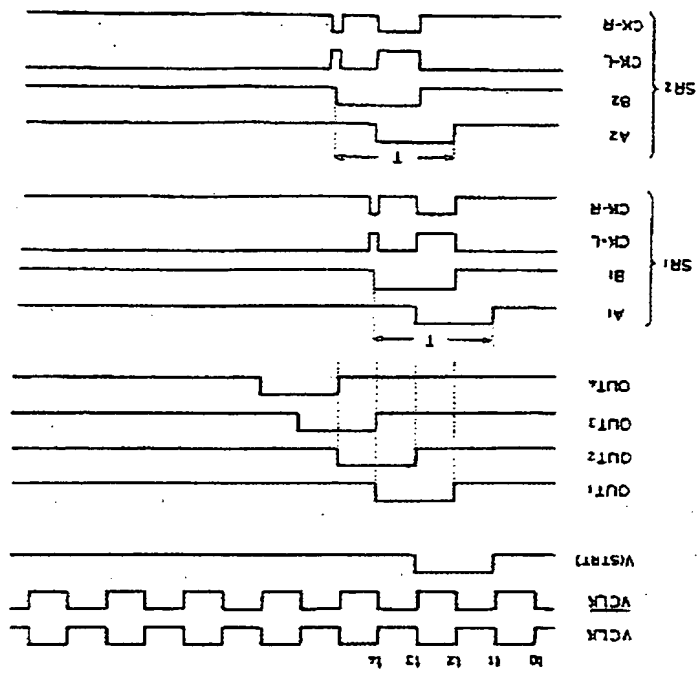
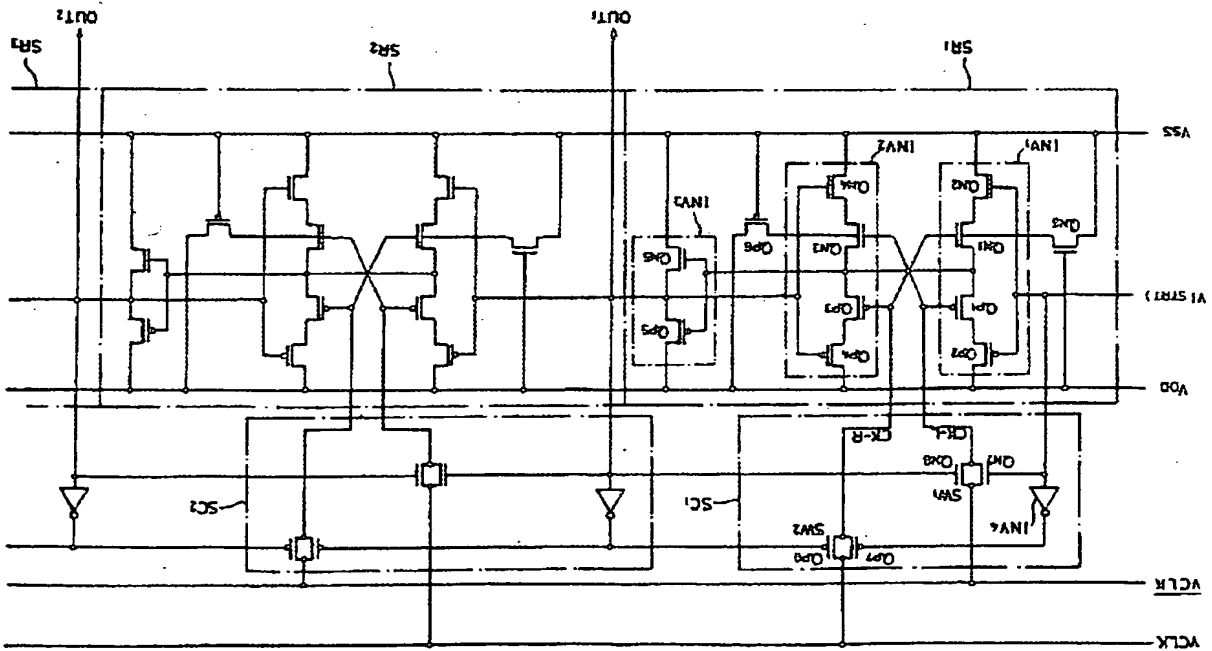


図 5



特開平3-147598 (8)

図 8

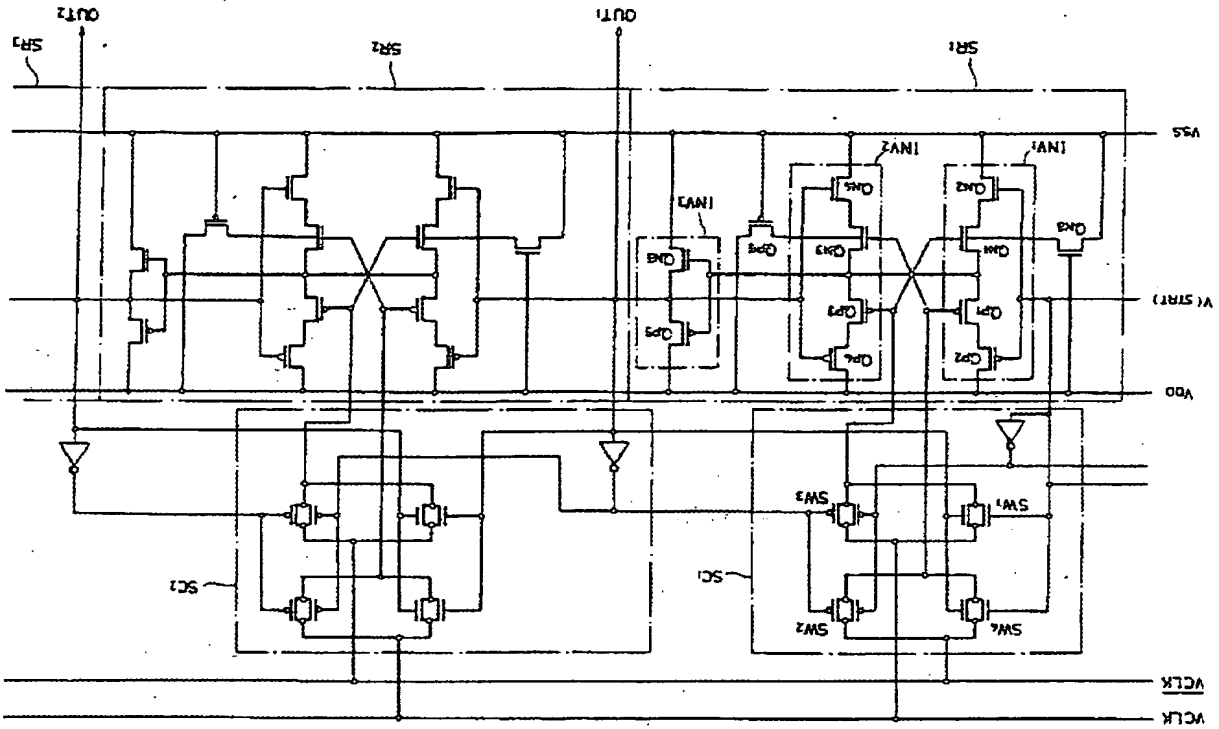
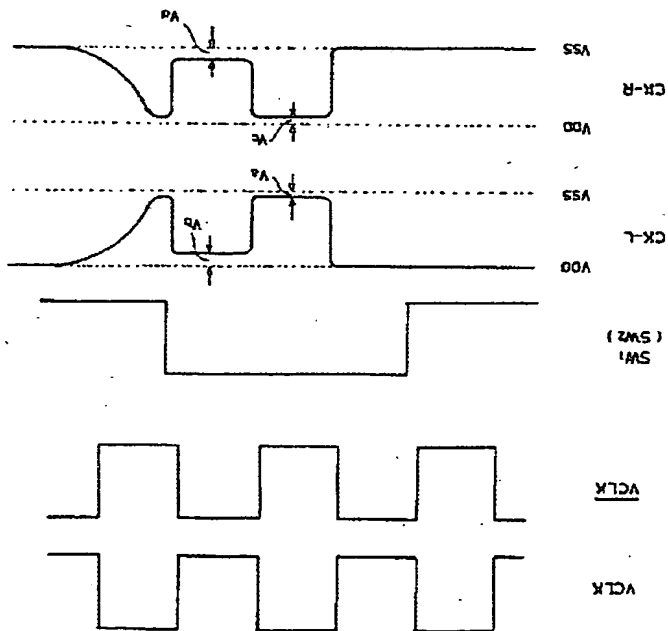
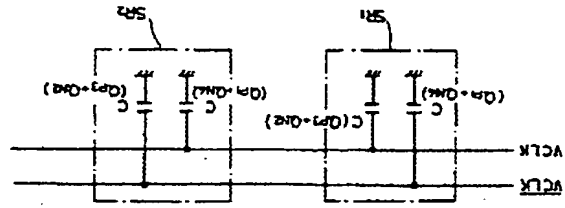


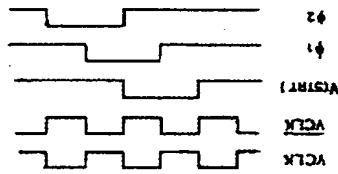
図 7



第 11 圖



第 10 圖



第 9 圖

